

(11) Publication number : 2002-094054

(43) Date of publication of application : 29.03.2002

(51)Int.Cl. H01L 29/78

H01L 21/8234

H01L 27/088

H01L 29/41

H01L 21/336

(21) Application number : 2000-283168 (71) Applicant : HITACHI LTD

(22) Date of filing : 19.09.2000 (72)Inventor : MORIKAWA MASATOSHI

SHINTO MIO

YOSHIDA ISAO

NAKURA KENICHI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a power MOSFET for an amplifier device which is satisfactory in output power characteristics and high-frequency characteristics.

SOLUTION: Related to the power MOSFET, a shield conductive film 10 of the same electric potential as a source is provided at the upper part of an n-type semiconductor region (drain/offset layer) 8. The shield conductive film 10 and other electrode wirings are arranged in the following order; a drain electrode 15, the shield conductive film 10, a gate electrode 3, a source electrode 13, and a gate-shortening wiring 14. The shield conductive film 10 is formed thinner than the gate electrode 3.

LEGAL STATUS [Date of request for examination] 21.04.2004

[Date of sending the examiner's decision of rejection] 13.06.2006

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2006-14987

[Date of requesting appeal against examiner's decision of rejection] 13.07.2006

[Date of extinction of right]

* NOTICES *

**JPO and NCIP are not responsible for any
damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is the semiconductor device with which the insulated gate field effect transistor was formed in the principal plane of the semi-conductor substrate of the 1st conductivity type. Said insulated gate field effect transistor The gate electrode which consists of the 1st electric conduction film formed in the upper part of gate dielectric film, The source which consists of a semiconductor region of the 2nd conductivity type formed in said semi-conductor substrate, The drain which consists of a semiconductor region of the 2nd conductivity type which was formed in said semi-conductor substrate, estranged with said gate electrode, and has been arranged, The drain offset layer which consists of a semiconductor region of the 2nd conductivity type formed in said semi-conductor substrate of the field between said gate electrodes and said drains, It is formed in the upper part of said drain offset layer, and consists of shielding electric conduction film which consists of the 2nd electric conduction film electrically connected with said source. The thickness of said 2nd electric conduction film which constitutes said shielding electric conduction film is a semiconductor device characterized by being thinner than the thickness of said 1st electric conduction film which constitutes said gate electrode.

[Claim 2] The semiconductor device characterized by said gate dielectric film and the 1st insulator layer formed in the upper part intervening in a semiconductor device according to claim 1 between said drain offset layer and said shielding electric conduction film formed in the upper part.

[Claim 3] It is the semiconductor device characterized by consisting of a silicon epitaxial layer of the support substrate with which said semi-conductor substrate consists of single crystal silicon of the 1st conductivity type in a semiconductor device according to claim 1, and the 1st conductivity type formed in the upper part.

[Claim 4] The semiconductor device characterized by having further the source electrode which was formed in said silicon epitaxial layer and formed in the source punching layer which consists of a semiconductor region of the 1st conductivity type electrically connected with said source and said support substrate, and the rear face of said support substrate in the semiconductor device according to claim 3.

[Claim 5] It is the semiconductor device which the source electrode and drain electrode which consist of the 1st metal membrane formed on the 2nd insulator layer of a wrap in said shielding electric conduction film in the semiconductor device according to claim 2 at said source and said drain are connected electrically, respectively, and is characterized by connecting electrically said source electrode and said shielding electric conduction film of each other through the 1st connection hole formed in said 2nd insulator layer.

[Claim 6] The thickness of said 2nd electric conduction film which constitutes said shielding electric conduction film in a semiconductor device according to claim 5 is a semiconductor device characterized by being thinner than the thickness of said 1st metal membrane which constitutes said drain electrode.

[Claim 7] It is the semiconductor device which wiring for a gate short circuit which consists of said 1st metal membrane is formed on said 2nd insulator layer in a semiconductor device according to claim 5, and is characterized by connecting electrically said wiring for a gate short circuit and said gate electrode of each other through the 2nd connection hole formed in said 2nd insulator layer and said 1st insulator layer.

[Claim 8] It is the semiconductor device with which the insulated gate field effect transistor was formed in the principal plane of the semi-conductor substrate of the 1st conductivity type. Said insulated gate field effect transistor The gate electrode which consists of the 1st electric conduction film formed in the upper part of gate dielectric film, The source which consists of a semiconductor region of the 2nd conductivity type formed in said semi-conductor substrate, The drain which consists of a semiconductor region of the 2nd conductivity type which was formed in said semi-conductor substrate, estranged with said gate electrode, and has been arranged, The drain offset layer which consists of a semiconductor region of the 2nd conductivity type formed in said semi-conductor substrate of the

field between said gate electrodes and said drains, The shielding electric conduction film which consists of the 2nd electric conduction film which was formed in the upper part of said drain offset layer, and was electrically connected with said source, Wiring for a gate short circuit which consists of the 1st metal membrane electrically connected with said gate electrode, The source electrode which consists of the 1st metal membrane electrically connected with said source, Consist of a drain electrode which consists of the 1st metal membrane electrically connected with said drain, and it sets with a part of flat-surface layout [at least] of said insulated gate field effect transistor. The semiconductor device characterized by arranging said drain electrode, said shielding electric conduction film, said gate electrode, said source electrode, and said gate short circuit wiring in this sequence.

[Claim 9] The thickness of said 2nd electric conduction film which constitutes said shielding electric conduction film in a semiconductor device according to claim 8 is a semiconductor device characterized by being thinner than the thickness of said 1st electric conduction film which constitutes said gate electrode.

[Claim 10] The semiconductor device characterized by said gate dielectric film and the 1st insulator layer formed in the upper part intervening in a semiconductor device according to claim 8 between said drain offset layer and said shielding electric conduction film formed in the upper part.

[Claim 11] It is the semiconductor device characterized by said insulated gate field effect transistor constituting the amplifier of the RF power amplifier whose clock frequency is 800MHz - 2.5GHz in a semiconductor device according to claim 1.

[Claim 12] The gate electrode which consists of the 1st electric conduction film formed on the principal plane of a semi-conductor substrate through gate dielectric film, The source which consists of a semiconductor region of the 2nd conductivity type formed in said semi-conductor substrate, The drain which consists of a semiconductor region of the 2nd conductivity type which was formed in said semi-conductor substrate, estranged with said gate electrode, and has been arranged, The drain offset layer which consists of a semiconductor region of the 2nd conductivity type formed in said semi-conductor substrate of the field between said gate electrodes and said drains, It is the manufacture approach of a semiconductor device of having the insulated gate field effect transistor which consists of shielding electric conduction film which consists of the 2nd electric conduction film which was formed in the upper part of said drain offset layer, and was electrically connected with said source. (a) after forming gate dielectric film on the principal plane of a semi-conductor substrate and forming the 1st electric conduction film on said gate dielectric film, by carrying out patterning of said 1st electric conduction film By carrying out ion implantation of the impurity of the 2nd conductivity type to the process and the (b) aforementioned semi-conductor substrate which form a gate electrode The process which forms the drain offset layer arranged to the field between the source, the drain which estranged with said gate electrode and has been arranged, and said gate electrode and said drain, (c) after it forms the 1st insulator layer in the upper part of said gate electrode and thickness forms the thin 2nd electric conduction film in the upper part of said 1st insulator layer rather than said 1st electric conduction film, by carrying out patterning of said 2nd electric conduction film The manufacture approach of the semiconductor device characterized by having the process which forms the shielding electric conduction film in the upper part of said drain offset layer.

[Claim 13] In the manufacture approach of a semiconductor device according to claim 12, after forming the 2nd insulator layer in the upper part of the (d) aforementioned shielding electric conduction film, by puncturing said 2nd insulator layer and said 1st insulator layer The process which forms a connection hole in each upper part of said source, said drain, and said shielding electric conduction film, (e) after forming the 1st metal membrane with thickness thicker than said 1st electric conduction film in the upper part of said 2nd insulator layer, by carrying out patterning of said 1st metal membrane The manufacture approach of the semiconductor device characterized by having further the process which forms the source electrode electrically connected to said source and said shielding electric conduction film, and the drain electrode connected to said drain.

[Claim 14] The manufacture approach of the semiconductor device characterized by forming wiring for a gate short circuit electrically connected to said gate electrode in the manufacture approach of a semiconductor device according to claim 13 by carrying out patterning of said 1st metal membrane at the aforementioned (e) process.

[Claim 15] The semiconductor device equipped with the RF amplifying circuit which has the interior matching circuit of an input and output matching circuit which consist of an insulated gate field effect transistor according to claim 1, capacity, and an inductance.

[Claim 16] The semiconductor device equipped with the RF amplifying circuit which has the interior matching circuit of an input and output matching circuit which consist of an insulated gate field effect transistor according to claim 8, capacity, and an inductance.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention is applied to the amplifier of the RF power amplifier which carries out power amplification of the RF signal, and outputs it especially with respect to the semiconductor device used for the mobile communication device which uses a microwave band (800MHz or more, such as cellular one, and 2.5GHz or less), and relates to an effective technique.

[0002]

[Description of the Prior Art] Since the mobile communication device represented by communication modes, such as a GSM (Global System for Mobile Communications) method, a PCS (Personal Communication Systems) method, a PDC (Personal Digital Cellular) method, and a W-CDMA (Code Division Multiple Access) method, and the so-called cellular phone have spread globally quickly in recent years, high-performance-izing of the base station system, a miniaturization, and high reliance-ization have been an important technical problem. About the configuration of the base station system for these mobile communications, it is indicated by "NEC technical report" vol.51, No.7 (1998), and pp.9-15, for example.

[0003] The RF power amplifier for transmission which supplies a RF signal to an antenna is in one of the main configuration sections of the above-mentioned base station system. There are a bipolar transistor using a silicon (Si) substrate and an insulated gate field effect transistor (henceforth MOSFET), and a transistor using the compound semiconductor substrate represented by GaAs in the amplifier used for this amplifier. Since especially MOSFET using a silicon substrate is advantageous to a high increase in power since a raise in pressure-proofing is easy, and thermally stable and it is a reliable electrical-potential-difference drive, it has the advantage that circuitry is easy, and its above-mentioned amplifier is in use.

[0004] About the above-mentioned MOSFET for amplifiers, there is the 1st conventional technique stated, for example to IEDM Technical Digest, 1996, pp.87-90 and Microwave Workshop and Exhibition (MWE) Digest, 1999, and pp.289-294. MOSFET indicated by these reference has the LDMOS (Lateral Diffusion MOS) structure where p layers were diffused from the source side of a gate electrode for the purpose of punch-through prevention and threshold armature-voltage control, and the offset structure for a raise in pressure-proofing is prepared in gate electrode-drain inter-electrode. Moreover, reduction of the capacity between gate electrode-drains (Cgd; feedback capacity) is aimed at by forming a source electrode so that a gate electrode may be covered (the Faraday shield is called).

[0005] With the above-mentioned conventional technique, in order to obtain the high power power beyond 100W, it may be gate length =0.6micrometer of MOSFET, gate oxidation thickness =40nm, and about gate width =100-400mm. In MOSFET of this size, since I/O capacity serves as dozens - 100pF of numbers, clock frequency becomes [the I/O impedance in 2GHz] as small as about 1ohm. If it includes in a package in this condition and 50-ohm impedance conversion is tried in an external matching circuit, since the conversion ratio is large, it will lead to loss in the transmission line, or a band fall. Therefore, improvement in an impedance is aimed at with constituting the matching circuit which consists of an MOS capacity chip and an inductance with a wire in the package near FET as much as possible (the latter is among said reference and the former is [input adjustment] I/O adjustment).

[0006] About the further improvement in the engine performance of the above-mentioned MOSFET for amplifiers, there is the 2nd conventional technique stated to the United States patent (Ng et al., United States Patent, No.5,918,137). In order that this conventional technique may raise the RF engine performance and dependability of MOSFET, the shielding electric conduction film of the same ingredient as a gate electrode is prepared on the insulator layer between a gate electrode and a drain electrode.

[0007] Since the above-mentioned insulator layer reaches in part at least and the shielding electric conduction film is made from the same process as the gate dielectric film of MOSFET, and a gate electrode, respectively, a process does not become complicated. Moreover, since arrangement with a gate electrode and the shielding electric conduction film serves as self align, dispersion in electrical characteristics is also suppressed. Since this MOSFET structure can reduce the capacity (C_{gd}) between gate electrode-drains by making the shielding electric conduction film into the source and same electric potential, improvement in the power gain in high frequency operation of it is attained. Moreover, electric-field relaxation on the front face of a substrate in a gate electrode edge is achieved, and improvement in drain pressure-proofing and control of property degradation by hot electron impregnation are attained.

[0008]

[Problem(s) to be Solved by the Invention] According to the place which this invention person examined, there are the respectively following problems in the above-mentioned 1st and 2nd conventional technique.

[0009] Since the MOSFET structure of the above-mentioned 1st conventional technique has prepared the wrap source electrode for the gate electrode on the thick interlayer insulation film, it cannot shield between the side attachment wall of a gate electrode, and drain electrodes, and is small. [of the effectiveness of electric-field relaxation over a substrate] Therefore, neither of the effectiveness, reduction of the capacity (C_{gd}) between gate electrode-drains nor improvement in drain pressure-proofing, of control of degradation by the hot electron is fully acquired.

[0010] Moreover, the MOSFET structure of the above-mentioned 2nd conventional technique is not taken into consideration about the other capacity between wiring, although taken into consideration about reduction of the electrostatic capacity (C_{gd}) of a gate electrode and the drain [directly under] (or drain electrode) of it. Since the shielding electric conduction film and a gate electrode are made from the same process, the thickness of the shielding electric conduction film cannot be decided from the demand of a gate electrode, and, specifically, cannot make small freely capacity (C_{gs}) between the shielding electric conduction film and the side attachment wall of a gate electrode.

[0011] It cannot be said that similarly it makes the shielding electric conduction film thin freely, and makes capacity small also with the capacity (C_{ds}) between drain electrode-shielding electric conduction film decided by thickness of the shielding electric conduction film since the drain electrode is thicker than the need for current capacity to the shielding electric conduction film. Moreover, like [the thickness of the insulator layer under the shielding electric conduction film] gate dielectric film, since it is thin, the electrostatic capacity of the shielding electric conduction film and the offset layer of a drain will look large, and the capacity between the drain-sources will increase. Furthermore, since there is electrostatic capacity between the shielding electric conduction film and gate short circuit wiring when the structure of preparing wiring for a gate short circuit on a gate electrode for the purpose of reducing gate resistance is used, the capacity between the gate electrode-sources will increase compared with the case where there is no shielding electric conduction film.

[0012] All the capacity described above is added to the I/O capacity (C_{gs} , C_{ds}) of MOSFET. Even if these prepare a matching circuit in a package in order to reduce the I/O impedance of MOSFET in high frequency actuation, the loss in a matching circuit becomes remarkable and they have the problem of reducing output power and effectiveness. Moreover, since the conversion ratio of an impedance also becomes large, it is disadvantageous also on design margins, such as a frequency band and a component-side product. Furthermore, the increment in an input capacitance (C_{gs}) has the problem of reducing the cut-off frequency of an MOS transistor and reducing RF power gain.

[0013] When a gate electrode is made into the dual structure (polycide structure) of polycrystalline silicon and tungsten silicide, resistance is reduced on the other hand and wiring for a gate short circuit is omitted. Although the parasitic capacitance between the above-mentioned shielding electric conduction film can be reduced, since resistance of a gate electrode is not sufficiently small, a limit arises to the width of face (finger width of face) of a gate electrode, the degree of freedom of the layout of MOSFET is lost, and there is a problem that parasitic resistance and capacity will increase on the contrary.

[0014] The purpose of this invention is to offer the semiconductor device which enables drain pressure-proofing by reduction of the feedback capacity by the shielding electric conduction film, and electric-field relaxation and improvement in current capacity, and control of hot electron degradation, without making increase of the I/O capacity of MOSFET into min, and increasing loss in an impedance matching circuit.

[0015] Other purposes of this invention fully reduce resistance of the gate electrode of MOSFET, and pull out the effectiveness of the shielding electric conduction film, and are to offer a RF, the output power in large power actuation, and the semiconductor device with which improvement in effectiveness and reservation of dependability were compatible.

[0016] The other purposes and the new description will become clear from description and the accompanying drawing of this specification along [said] this invention.

[0017]

[Means for Solving the Problem] It will be as follows if the outline of a typical thing is briefly explained among invention indicated in this application.

[0018] The gate electrode with which MOSFET of this invention was formed in the upper part of gate dielectric film, The drain offset layer formed between the source, the drain which estranged with said gate electrode and has been arranged, and said gate electrode and said drain, It is formed in the upper part of said drain offset layer, and consists of shielding electric conduction film electrically connected with said source, and thickness of said shielding electric conduction film is made thinner than the thickness of said gate electrode.

[0019] Moreover, gate dielectric film and the 1st insulator layer intervene between said shielding electric conduction film with which MOSFET of this invention was formed in said drain offset layer and its upper part.

[0020] Moreover, MOSFET of this invention arranges said drain electrode, said shielding electric conduction film, said gate electrode, said source electrode, and said gate short circuit wiring in this sequence in a part of that flat-surface layout [at least].

[0021] Preparing the shielding electric conduction film between the gate electrode of MOSFET and a drain electrode works so that the capacity between gate electrode-drain offset layers may be reduced, and it works so that the electric field of the drain in a gate electrode edge may be eased.

[0022] Moreover, arranging so that the shielding electric conduction film may not lap with a gate electrode by the flat-surface pattern, and making thickness of the shielding electric conduction film thinner than the thickness of a gate electrode works so that increase of the interelectrode capacity produced by arranging the shielding electric conduction film may be suppressed to the minimum.

[0023] Moreover, making thickness of the insulator layer under the shielding electric conduction film thicker than the thickness of gate dielectric film works so that the capacity between shielding electric conduction film-drain offset layers may be stopped to the minimum.

[0024] Moreover, short-circuiting a gate electrode with wiring (gate short circuit wiring) works so that gate resistance may be reduced and the fall of the power gain in a RF may be suppressed.

[0025]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained to a detail based on a drawing. In addition, in the complete diagram for explaining the gestalt of operation, the same sign is given to the member which has the same function, and explanation of the repeat is omitted.

[0026] The sectional view of the field for one MOSFET where the top view showing a part of cel section (field for four MOSFETs) in

which the power metal-oxide semiconductor field effect transistor for RFs of this operation gestalt was formed, as for drawing 1 , and drawing 2 met the II-II line of drawing 1 , and drawing 3 are the whole chip layout patterns.

[0027] MOSFET of this operation gestalt is formed in the principal plane of the silicon substrate 1 which consists of support substrate 1A which consists of low resistance p mold single crystal silicon of 10 or less momegacm of specific resistance, and 30ohm [of specific resistance cm formed in the upper part], and high with a thickness of 10 micrometers resistance p mold epitaxial layer 1B. This MOSFET The gate oxide 4 formed in the front face of epitaxial layer 1B, the gate electrode 3 which consists of a cascade screen (polycide film) of n mold polycrystal silicone film and W silicide (WSi₂) film which were formed in the upper part of gate oxide 4, the n-type-semiconductor field formed in the epitaxial layer 2 5, p+ mold semiconductor region (Source) The shielding electric conduction film 10 formed in the upper part of 6, the p type semiconductor field (punch-through stopper layer) 7, the n-type-semiconductor field (drain offset layer) 8, the n-type-semiconductor field (drain) 9, and the n-type-semiconductor field (drain offset layer) 8 (Source blanking layer) And it has the oxidation silicone film 11 of the lower part.

[0028] Although especially limitation is not carried out, for the die length (gate length) of the gate electrode 3 of Above MOSFET, the die length (drain offset length) of 0.5 micrometers and the n-type-semiconductor field (drain offset layer) 8 is [spacing of 1.0 micrometers, the gate electrode 3, and the shielding electric conduction film 10 of the die length of 3.0 micrometers and the shielding electric conduction film 10] 0.5 micrometers. Moreover, for the thickness of the gate electrode 3, the thickness of 270nm and the shielding electric conduction film 10 is [the thickness of 50nm and the oxidation silicone film 11 of the thickness of 200nm and gate oxide 4] 300nm.

[0029] The 1st-layer wiring 13-16 is formed in the upper part of Above MOSFET through the oxidation silicone film 12. Wiring 13 constitutes a source electrode and is electrically connected with the n-type-semiconductor field (source) 5 and p+ mold semiconductor region (source blanking layer) 6 through the contact hole 17 punctured by the oxidation silicone film 12. This wiring 13 is electrically connected with the shielding electric conduction film 10 through the contact hole 18 punctured by the oxidation silicone film 12 of the upper part of the field oxide 2 surrounding the active field L.

[0030] Wiring 14 constitutes wiring for a gate short circuit, and is electrically connected with the gate electrode 3 through the contact hole 19 punctured by the oxidation silicone film 12 of the upper part of field oxide 2. Wiring 15 constitutes a drain electrode and is electrically connected with the n-type-semiconductor field (drain) 9 through the contact hole 20 punctured by the oxidation silicone film 12.

[0031] The 2nd-layer wiring 23-25 is formed in the upper part of the above-mentioned wiring 13-16 through the interlayer insulation film 22 which consists of an oxidation silicone film. In addition, in drawing 1 and drawing 3 , the half-tone-dot-meshing pattern shows these wiring 23-25. Wiring 23 constitutes wiring for drain ejection, and is electrically connected with the 1st-layer wiring (drain electrode) 15 through the through hole 26 punctured by the interlayer insulation film 22. This wiring 23 is constituted by the bonding pad BPd for drains and one which constitute an external connection terminal.

[0032] Wiring 24 constitutes wiring for gate ejection, and is electrically connected with the 1st-layer wiring (wiring for a gate short circuit) 14 through the through hole 27 punctured by the interlayer insulation film 22 of the upper part of field oxide 2. This wiring 24 is constituted by the bonding pad BPg for the gates and one which constitute an external connection terminal.

[0033] Wiring 25 constitutes wiring for source ejection, and the part is electrically connected with the 1st-layer wiring (source electrode) 13 through the through hole 28 punctured by the interlayer insulation film 22. Some other wiring 25 is electrically connected with the 1st-layer wiring 16 through the through hole 29 punctured by the interlayer insulation film 22. Moreover, it connects with a silicon substrate 1 electrically through a contact hole 21 and p+ mold semiconductor region (source blanking layer) 6, and wiring 16 is further connected with the source electrode 30 of the rear face of a silicon substrate 1 electrically.

[0034] In addition, although the number of the gate electrodes 3 is made into four in drawing 3 for simplification, dozens of gate electrodes 3 are connected to one bonding pad BPg in fact, 1 block is constituted, it connects with juxtaposition and several blocks

output large power.

[0035] Thus, the power metal-oxide semiconductor field effect transistor for RFs of this operation gestalt formed the source and the shielding electric conduction film 10 of same electric potential in the upper part of the n-type-semiconductor field (drain offset layer) 8, and arranges this shielding electric conduction film 10 and other electrode wiring in order of the drain electrode 15, the shielding electric conduction film 10, the gate electrode 3, the source electrode 13, and the wiring 14 for a gate short circuit.

[0036] Next, the effectiveness in which the shielding electric conduction film 10 was formed near the gate electrode 3 is explained using [drawing 4](#) - [drawing 6](#).

[0037] [Drawing 4](#) is a graph which shows the field strength distribution of 60 silicon-substrate (1) front face at the time of impressing the electrical potential difference of V and considering a gate electrode (3), the shielding electric conduction film (10), and a source electrode (13) as touch-down to the drain electrode (15) of MOSFET of this operation gestalt. The longitudinal direction location of an axis of abscissa supports the sectional view of the upper part of a graph. Moreover, as an example of a comparison, there is no shielding electric conduction film and field strength distribution of the MOSFET structure (said 1st conventional technique) which formed the source electrode so that a gate electrode might be covered was shown.

[0038] Although electric field concentrate on the edge of a gate electrode and field strength serves as max like illustration there when there is no shielding electric conduction film, by preparing the shielding electric conduction film shows that the peak of field strength appears also in the drain side edge section, and strong maximum is low compared with the case where there is no shielding electric conduction film. From this, it is thought that MOSFET of this operation gestalt is effective in raising drain pressure-proofing and a drain current, and effective also as a cure which controls property degradation by the hot carrier.

[0039] [Drawing 5](#) is a graph which shows the relation between the amount of ion implantation of a drain offset layer (8), and drain pressure-proofing.

[0040] In order to high-performance-ize MOSFET, even if it makes [many] the amount of ion implantation of a drain offset layer, it is that drain pressure-proofing is secured. That is, it is enabling reduction of the on resistance (R_{on}) of MOSFET, and improvement in drain current capacity, securing high drain pressure-proofing.

[0041] Like illustration, when the shielding electric conduction film was prepared, even if it made [many] the amount of ion implantation of a drain offset layer about 2 times, drain pressure-proofing equivalent to the case where there is no shielding electric conduction film was obtained. the case where resistance (R_{offset}) of the drain offset layer which is a part of on resistance (R_{on}) component is halved by this, and there is no shielding electric conduction film -- 26ohmmm -- the on resistance (R_{on}) of MOSFET which existed became small about 40 percent to 16-ohmmm.

[0042] [Drawing 6](#) is the graph which showed the relation between the amount of fluctuation of the gate voltage for acquiring a fixed drain current, and electrical-potential-difference impression time amount, when several V gate voltage is impressed between the electrical potential difference of 28V, and the gate-source between the drain-sources, respectively and a drain current is left a sink and for a long time. This gate change of potential happens in order to pour into a gate electrode and the oxide film near the drain offset layer the hot electron generated when a drain current flows and to generate fixed potential. In order to control impregnation of this hot electron, it is necessary to ease the electric field of the impregnation section.

[0043] Like illustration, although the amount of gate voltage variation after 1-hour neglect was about 0.1V when there was no shielding electric conduction film, the amount of fluctuation of the same time amount was able to be reduced to 1/10 or less by preparing the shielding electric conduction film. This originates in the field strength of a gate electrode edge being eased by preparing the shielding electric conduction film, as the field strength distribution graph of said [drawing 4](#) also showed.

[0044] Next, the high frequency operation of MOSFET of this operation gestalt is explained using [drawing 7](#) - [drawing 9](#).

[0045] [Drawing 7](#) is the representative circuit schematic in a package of the high-frequency power amplifier using MOSFET of this operation gestalt. This amplifier connects the interior matching circuit of an input and output matching circuit which become I/O of FET

with a gate width of 150nm from MOS capacity and a bonding wire (inductance). Here, for the input capacitance (C_{gs}) of MOSFET, 112pF and an output capacitance (C_{ds}) are [1.6pF and the on resistance of 42pF and feedback capacity (C_{gd})] 0.13ohms. When clock frequency is 2.2GHz, an input is set to 0.71 ohms and, as for the I/O impedance of MOSFET obtained from $1/\omega C$, an output is set to 1.7 ohms. From this value, the impedance which changed the impedance by the matching circuit and was seen from the package terminal is enlarged, and it is included in an external mounting substrate.

[0046] Drawing 8 is a RF in MOSFET used by drawing 7 , and a graph which shows the input-output behavioral characteristics of large power actuation. Here, the relation of the output power and drain effectiveness over the input power at the time of inputting a 2.2GHz sinusoidal signal into MOSFET in supply voltage 28V and bias current regularity on the assumption that the application to the amplifier for base stations of a W-CDMA method was shown. Two MOSFETs were used and output power has been obtained by push pull actuation. Moreover, the input-output behavioral characteristics of Structures A and B were conventionally shown as an example of a comparison. Here, although Structure A has the shielding electric conduction film conventionally, it is the MOSFET structure which formed the source electrode MOSFET structure and conventionally which omits consideration about the increment in I/O capacity, such as the thickness, and a location, a location of gate short circuit wiring, so that Structure B might not have the shielding electric conduction film and a gate electrode might be covered.

[0047] As for MOSFET of this operation gestalt, as compared with Structures A and B, more than 10W and drain effectiveness of output power in input power 10W are improving 5% or more conventionally like illustration. Since I/O capacity becomes large about 20% about Structure A compared with this operation gestalt conventionally, this reason is because that part impedance became small and the loss in the matching circuit in a package became remarkable. Moreover, since high impurity concentration of a drain offset layer cannot be made high from the need of easing electric field since the shielding electric conduction film is not used and improvement in on resistance and a drain current cannot be conventionally aimed at about Structure B, the engine performance has not improved. Moreover, conventionally, since Structure B cannot perform gate short circuit wiring, it shortens gate width (finger width of face) of one gate electrode so that gate resistance may not be worrisome. In this case, although gate resistance decreases, since the number of the finger as the whole chip increases, other parasitic capacitance increases and this also causes degradation. On the other hand, with the layout of this operation gestalt, since gate short circuit wiring can fully be separated from a drain, a source electrode, and the shielding electric conduction film, it becomes possible to stop parasitic capacitance and to reduce gate resistance, and the gain in a RF can fully be secured.

[0048] In the large power performance test of drawing 8 , the result of having performed linear amplification characterization of MOSFET of this operation gestalt is explained using drawing 9 .

[0049] It is required that the linearity of amplifier should be maintained at the base station application of a W-CDMA method by big output power. As a standard of the quality of this linear amplification property, two waves with narrow frequency spacing were inputted, and intermodulation distortion which is a parameter resulting from the breadth of the frequency spectrum of that output signal was evaluated. Here, the relation between the 3rd intermodulation distortion at the time of applying input power with a frequency [of 2.2GHz] and a frequency of 2.201GHz and output power was shown as an input of MOSFET. As a parameter, thickness of the insulator layer under the shielding electric conduction film was set to 500nm, 300nm, and 50nm. If target specification of 3rd intermodulation distortion is set to -30 or less dBcs, as for the maximum of output power which attains the condition, insulator layer thickness will fall to 45dBm (about 32 W) by 46dBm (about 40 W) and 50nm by 500nm and 300nm. Since it means that it looks greatly to writing thinly the thickness of the insulator layer under the shielding electric conduction film to 50nm equivalent to gate oxide rapidly when a drain electrical potential difference has the low electrostatic capacity between shielding electric conduction film-drain offset layers, and the output capacitance of parasitism was attached and matching with a matching circuit shifts greatly, this is because distortion also got worse. Moreover, by this thickness, the problem that are and the drain pressure-proofing obtained becomes low also has electric-field concentration in the shielding electric conduction membrane end section. On the other hand, by 300nm and

500nm, although there was no great difference, since the thickness of an insulator layer was too thick when referred to as 500nm, the description explained by [drawing 4](#) - [drawing 6](#) could not fully be pulled out, but it became the optimal near 300nm.

[0050] Next, the manufacture approach of MOSFET of this operation gestalt is explained using [drawing 10](#) - [drawing 18](#) .

[0051] First, as shown in [drawing 10](#) , the pars basilaris ossis occipitalis forms p+ mold semiconductor region (source blanking layer) 6 which reaches support substrate 1A by preparing the silicon substrate 1 into which p mold epitaxial layer 1B was grown up for the upper part of support substrate 1A which consists of p mold single crystal silicon, using the photoresist film (not shown) as a mask, and carrying out ion implantation of the boron to a silicon substrate 1.

[0052] next, it is shown in [drawing 11](#) -- as -- well-known LOCOS -- after forming field oxide 2 in the component isolation region of a silicon substrate 1 using law, gate oxide 4 is formed in the front face of the silicon substrate 1 of the active field L which had the perimeter surrounded by this field oxide 2.

[0053] Next, as shown in [drawing 12](#) , the gate electrode 3 is formed in the upper part of gate oxide 4. In order to form the gate electrode 3, after depositing n mold polycrystal silicone film of 100nm of thickness and depositing W silicide film of 170nm of thickness on the upper part of this polycrystal silicone film by the sputtering method continuously a CVD method in the upper part of gate oxide 4, patterning of these film is carried out by the dry etching which used the photoresist film as the mask.

[0054] Next, as shown in [drawing 13](#) , the p type semiconductor field (punch-through stopper layer) 7, the n-type-semiconductor field (drain offset layer) 8, the n-type-semiconductor field (source) 5, and the n-type-semiconductor field (drain) 9 are formed by using the photoresist film as a mask and carrying out ion implantation of boron and Lynn to a silicon substrate 1. The p type semiconductor field (punch-through stopper layer) 7 may be formed in advance of the process which forms the gate electrode 3.

[0055] Next, as shown in [drawing 14](#) , after depositing the oxidation silicone film 11 of about 300nm of thickness with a CVD method on a silicon substrate 1, the shielding electric conduction film 10 is formed in the upper part of the oxidation silicone film 11. In order to form the shielding electric conduction film 10, after making n mold polycrystal silicone film of thickness (for example, about 200nm) thinner than the gate electrode 3 the upper part of the oxidation silicone film 11 with a CVD method, patterning of this polycrystal silicone film is carried out by the dry etching which used the photoresist film as the mask.

[0056] Next, as shown in [drawing 15](#) and [drawing 16](#) , after depositing the silicon oxide film 12 of 300nm - about 500nm of thickness with a CVD method on a silicon substrate 1, contact holes 17-20 are formed by using the photoresist film as a mask and carrying out dry etching of the silicon oxide film 12 and the silicon oxide film 11.

[0057] Next, as shown in [drawing 17](#) and [drawing 18](#) , after depositing aluminum (aluminum) alloy film of about 800nm of thickness on the upper part of the oxidation silicone film 12 by the sputtering method, wiring (source electrode) 13, wiring (wiring for a gate short circuit) 14, and wiring (drain electrode) 15 are formed by carrying out patterning of this aluminum alloy film by the dry etching which used the photoresist film as the mask.

[0058] Then, after forming an interlayer insulation film 22 in the upper part of the oxidation silicone film 12, and forming a through hole (26-29) for an interlayer insulation film 22 by dry etching continuously, By carrying out patterning of the aluminum alloy film of about 1200nm of thickness deposited on the upper part of an interlayer insulation film 22 by the sputtering method, forming the 2nd-layer wiring (23-25), and forming the source electrode 30 in the rear face of a silicon substrate 1 further The power metal-oxide semiconductor field effect transistor shown in said [drawing 1](#) - [drawing 3](#) is obtained. In addition, when you need the current capacity of wiring, and the degree of freedom of a layout, it can also make the number of wiring layers into three or more layers.

[0059] Thus, the power metal-oxide semiconductor field effect transistor of this operation gestalt forms the shielding electric conduction film 10 of the upper part of the drain offset layer 8 by thickness thinner than the gate electrode 3. Thereby, as shown in [drawing 19](#) , capacity (Cgs) between the side attachment wall of the shielding electric conduction film 10 and the side attachment wall of the gate electrode 3 and capacity (Cds) between the side attachment wall of the shielding electric conduction film 10 and the drain electrode 15 can be made small.

[0060] Moreover, since between the shielding electric conduction film 10 and the drain offset layers 8 is separated by the two-layer insulator layer (gate oxide 4 and oxidation silicon film 11), compared with the case where the shielding electric conduction film 10 is formed on gate oxide 4, the capacity between the drain-sources also becomes small.

[0061] Thereby, since I/O capacity (C_{gs} , C_{ds}) of MOSFET can be made small, high power power is possible and a RF property can realize good MOSFET.

[0062] As mentioned above, although invention made by this invention person was concretely explained based on the gestalt of implementation of invention, it cannot be overemphasized that it can change variously in the range which this invention is not limited to the gestalt of said operation, and does not deviate from the summary.

[0063]

[Effect of the Invention] It will be as follows if the effectiveness acquired by the typical thing among invention indicated in this application is explained briefly.

[0064] It becomes possible to raise an output power property and a RF property, securing the dependability of MOSFET for power amplification used for wireless base station systems, such as GSM, PCS, PDC, and a W-CDMA method, according to this invention.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the top view showing a part of cel section in which the power metal-oxide semiconductor field effect transistor which is the gestalt of 1 operation of this invention was formed.

[Drawing 2] It is the sectional view which met the II-II line of drawing 1 .

[Drawing 3] It is the whole chip layout pattern in which the power metal-oxide semiconductor field effect transistor which is the gestalt of 1 operation of this invention was formed.

[Drawing 4] It is the graph which shows field strength distribution of the power metal-oxide semiconductor field effect transistor which is the gestalt of 1 operation of this invention.

[Drawing 5] It is the graph which shows the relation of the amount of ion implantation of a drain offset layer and drain pressure-proofing in the power metal-oxide semiconductor field effect transistor which is the gestalt of 1 operation of this invention.

[Drawing 6] It is the graph which shows the relation of the amount of fluctuation of gate voltage and electrical-potential-difference impression time amount in the power metal-oxide semiconductor field effect transistor which is the gestalt of 1 operation of this invention.

[Drawing 7] It is the representative circuit schematic in a package of the amplifier which used the power metal-oxide semiconductor field effect transistor which is the gestalt of 1 operation of this invention.

[Drawing 8] They are a RF in the power metal-oxide semiconductor field effect transistor which is the gestalt of 1 operation of this invention, and the graph which shows the input-output behavioral characteristics of large power actuation.

[Drawing 9] It is the graph which shows the relation of the 3rd intermodulation distortion and the output power in the power metal-oxide semiconductor field effect transistor which is the gestalt of 1 operation of this invention.

[Drawing 10] It is the important section sectional view showing the manufacture approach of the power metal-oxide semiconductor field effect transistor which is the gestalt of 1 operation of this invention.

[Drawing 11] It is the important section sectional view showing the manufacture approach of the power metal-oxide semiconductor field effect transistor which is the gestalt of 1 operation of this invention.

[Drawing 12] It is the important section sectional view showing the manufacture approach of the power metal-oxide semiconductor field effect transistor which is the gestalt of 1 operation of this invention.

[Drawing 13] It is the important section sectional view showing the manufacture approach of the power metal-oxide semiconductor field effect transistor which is the gestalt of 1 operation of this invention.

[Drawing 14] It is the important section sectional view showing the manufacture approach of the power metal-oxide semiconductor field effect transistor which is the gestalt of 1 operation of this invention.

[Drawing 15] It is the important section sectional view showing the manufacture approach of the power metal-oxide semiconductor field effect transistor which is the gestalt of 1 operation of this invention.

[Drawing 16] It is the important section top view showing the manufacture approach of the power metal-oxide semiconductor field effect transistor which is the gestalt of 1 operation of this invention.

[Drawing 17] It is the important section sectional view showing the manufacture approach of the power metal-oxide semiconductor field effect transistor which is the gestalt of 1 operation of this invention.

[Drawing 18] It is the important section top view showing the manufacture approach of the power metal-oxide semiconductor field effect transistor which is the gestalt of 1 operation of this invention.

[Drawing 19] It is the explanatory view of the shielding electric conduction film-gate interelectrode capacity in the power metal-oxide semiconductor field effect transistor which is the gestalt of 1 operation of this invention, and shielding electric conduction film-drain interelectrode capacity.

[Description of Notations]

1 Silicon Substrate

1A Support substrate

1B Epitaxial layer

2 Field Oxide

3 Gate Electrode 4 Gate Oxide

5 N-type-Semiconductor Field (Source)

6 P+ Mold Semiconductor Region (Source Blanking Layer)

7 P Type Semiconductor Field (Punch-through Stopper Layer)

8 N-type-Semiconductor Field (Drain Offset Layer)

9 N-type-Semiconductor Field (Drain)

10 Shielding Electric Conduction Film

11 Oxidation Silicone Film

12 Oxidation Silicone Film

13 Wiring (Source Electrode)

14 Wiring (Wiring for Gate Short Circuit)

15 Wiring (Drain Electrode)

16 Wiring

17-21 Contact hole

22 Interlayer Insulation Film

23 Wiring (Wiring for Drain Ejection)

24 Wiring (Wiring for Gate Ejection)

25 Wiring (Wiring for Source Ejection)

26-29 Through hole

30 Source Electrode

BPd Bonding pad for drains

BPg Bonding pad for the gates

L Active field

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-94054
(P2002-94054A)

(43)公開日 平成14年3月29日(2002.3.29)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)
H 0 1 L 29/78	6 5 2	H 0 1 L 29/78	6 5 2 A 4 M 1 0 4
			6 5 2 N 5 F 0 4 0
			3 0 1 W 5 F 0 4 8
21/8234		27/08	1 0 2 A
27/088			1 0 2 B
審査請求 未請求 請求項の数16 O L (全 13 頁) 最終頁に続く			

(21)出願番号 特願2000-283168(P2000-283168)

(22)出願日 平成12年9月19日(2000.9.19)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 森川 正敏

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

(72) 発明者 新堂 美緒

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

(74) 代理人 100080001

弁理士 筒井 大和

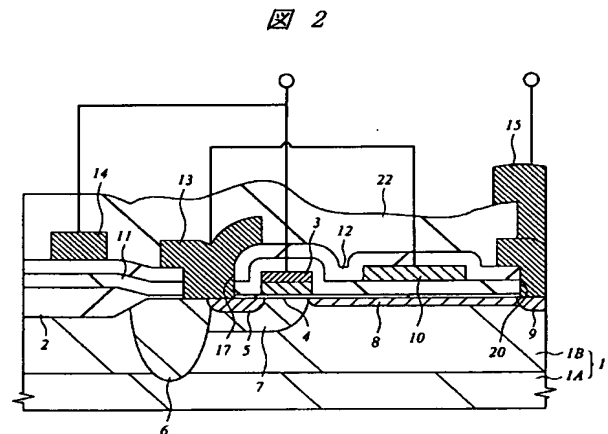
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 出力電力特性および高周波特性が良好な増幅素子用パワーMOSFETを提供する。

【解決手段】 このパワーMOSFETは、n型半導体領域（ドレイン・オフセット層）8の上部にソースと同電位のシールド導電膜10を設け、このシールド導電膜10と他の電極配線とを、ドレイン電極15、シールド導電膜10、ゲート電極3、ソース電極13、ゲート短絡用配線14の順序で配置する。また、このパワーMOSFETは、上記シールド導電膜10をゲート電極3よりも薄い膜厚で形成する。



【特許請求の範囲】

【請求項1】 第1導電型の半導体基板の主面に絶縁ゲート型電界効果トランジスタが形成された半導体装置であって、前記絶縁ゲート型電界効果トランジスタは、ゲート絶縁膜の上部に形成された第1導電膜からなるゲート電極と、前記半導体基板に形成された第2導電型の半導体領域からなるソースと、前記半導体基板に形成され、前記ゲート電極と離間して配置された第2導電型の半導体領域からなるドレインと、前記ゲート電極と前記ドレインとの間の領域の前記半導体基板に形成された第2導電型の半導体領域からなるドレイン・オフセット層と、前記ドレイン・オフセット層の上部に形成され、前記ソースと電氣的に接続された第2導電膜からなるシールド導電膜とからなり、前記シールド導電膜を構成する前記第2導電膜の膜厚は、前記ゲート電極を構成する前記第1導電膜の膜厚よりも薄いことを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記ドレイン・オフセット層とその上部に形成された前記シールド導電膜との間には、前記ゲート絶縁膜とその上部に形成された第1絶縁膜とが介在していることを特徴とする半導体装置。

【請求項3】 請求項1記載の半導体装置において、前記半導体基板は、第1導電型の単結晶シリコンからなる支持基板とその上部に形成された第1導電型のシリコンエピタキシャル層からなることを特徴とする半導体装置。

【請求項4】 請求項3記載の半導体装置において、前記シリコンエピタキシャル層に形成され、前記ソースおよび前記支持基板と電氣的に接続された第1導電型の半導体領域からなるソース打ち抜き層と、前記支持基板の裏面に形成されたソース電極とをさらに有することを特徴とする半導体装置。

【請求項5】 請求項2記載の半導体装置において、前記ソースおよび前記ドレインには、前記シールド導電膜を覆う第2絶縁膜上に形成された第1金属膜からなるソース電極およびドレイン電極がそれぞれ電氣的に接続され、前記ソース電極と前記シールド導電膜とは、前記第2絶縁膜に形成された第1接続孔を通じて互いに電氣的に接続されていることを特徴とする半導体装置。

【請求項6】 請求項5記載の半導体装置において、前記シールド導電膜を構成する前記第2導電膜の膜厚は、前記ドレイン電極を構成する前記第1金属膜の膜厚よりも薄いことを特徴とする半導体装置。

【請求項7】 請求項5記載の半導体装置において、前記第2絶縁膜上には前記第1金属膜からなるゲート短絡用配線が形成され、前記ゲート短絡用配線と前記ゲート電極とは、前記第2絶縁膜および前記第1絶縁膜に形成された第2接続孔を通じて互いに電氣的に接続されていることを特徴とする半導体装置。

【請求項8】 第1導電型の半導体基板の主面に絶縁ゲート型電界効果トランジスタが形成された半導体装置であって、前記絶縁ゲート型電界効果トランジスタは、ゲート絶縁膜の上部に形成された第1導電膜からなるゲート電極と、前記半導体基板に形成された第2導電型の半導体領域からなるソースと、前記半導体基板に形成され、前記ゲート電極と離間して配置された第2導電型の半導体領域からなるドレインと、前記ゲート電極と前記ドレインとの間の領域の前記半導体基板に形成された第2導電型の半導体領域からなるドレイン・オフセット層と、前記ドレイン・オフセット層の上部に形成され、前記ソースと電氣的に接続された第2導電膜からなるシールド導電膜と、前記ゲート電極と電氣的に接続された第1金属膜からなるゲート短絡用配線と、前記ソースと電氣的に接続された第1金属膜からなるソース電極と、前記ドレインと電氣的に接続された第1金属膜からなるドレイン電極とからなり、前記絶縁ゲート型電界効果トランジスタの平面レイアウトの少なくとも一部分において、前記ドレイン電極、前記シールド導電膜、前記ゲート電極、前記ソース電極および前記ゲート短絡配線がこの順番で配置されていることを特徴とする半導体装置。

【請求項9】 請求項8記載の半導体装置において、前記シールド導電膜を構成する前記第2導電膜の膜厚は、前記ゲート電極を構成する前記第1導電膜の膜厚よりも薄いことを特徴とする半導体装置。

【請求項10】 請求項8記載の半導体装置において、前記ドレイン・オフセット層とその上部に形成された前記シールド導電膜との間には、前記ゲート絶縁膜とその上部に形成された第1絶縁膜とが介在していることを特徴とする半導体装置。

【請求項11】 請求項1記載の半導体装置において、前記絶縁ゲート型電界効果トランジスタは、動作周波数が800MHz～2.5GHzの高周波電力増幅器の増幅素子を構成することを特徴とする半導体装置。

【請求項12】 ゲート絶縁膜を介して半導体基板の主面上に形成された第1導電膜からなるゲート電極と、前記半導体基板に形成された第2導電型の半導体領域からなるソースと、前記半導体基板に形成され、前記ゲート電極と離間して配置された第2導電型の半導体領域からなるドレインと、前記ゲート電極と前記ドレインとの間の領域の前記半導体基板に形成された第2導電型の半導体領域からなるドレイン・オフセット層と、前記ドレイン・オフセット層の上部に形成され、前記ソースと電氣的に接続された第2導電膜からなるシールド導電膜とからなる絶縁ゲート型電界効果トランジスタを有する半導体装置の製造方法であって、(a)半導体基板の主面上にゲート絶縁膜を形成し、前記ゲート絶縁膜上に第1導電膜を形成した後、前記第1導電膜をパターンニングすることによって、ゲート電極を形成する工程、(b)前記半導体基板に第2導電型の不純物をイオン打込みするこ

とによって、ソースと、前記ゲート電極と離間して配置されたドレインと、前記ゲート電極と前記ドレインとの間の領域に配置されたドレイン・オフセット層とを形成する工程、(c) 前記ゲート電極の上部に第1絶縁膜を形成し、前記第1絶縁膜の上部に前記第1導電膜よりも膜厚が薄い第2導電膜を形成した後、前記第2導電膜をパターニングすることによって、前記ドレイン・オフセット層の上部にシールド導電膜を形成する工程、を有することを特徴とする半導体装置の製造方法。

【請求項13】 請求項12記載の半導体装置の製造方法において、(d) 前記シールド導電膜の上部に第2絶縁膜を形成した後、前記第2絶縁膜および前記第1絶縁膜を開孔することによって、前記ソース、前記ドレインおよび前記シールド導電膜のそれぞれの上部に接続孔を形成する工程、(e) 前記第2絶縁膜の上部に前記第1導電膜よりも膜厚が厚い第1金属膜を形成した後、前記第1金属膜をパターニングすることによって、前記ソースおよび前記シールド導電膜に電気的に接続されるソース電極と、前記ドレインに接続されるドレイン電極とを形成する工程、をさらに有することを特徴とする半導体装置の製造方法。

【請求項14】 請求項13記載の半導体装置の製造方法において、前記(e)工程で前記第1金属膜をパターニングすることにより、前記ゲート電極に電気的に接続されるゲート短絡用配線を形成することを特徴とする半導体装置の製造方法。

【請求項15】 請求項1記載の絶縁ゲート型電界効果トランジスタ、容量とインダクタンスとからなる入力内部整合回路および出力整合回路を有する高周波増幅回路を備えた半導体装置。

【請求項16】 請求項8記載の絶縁ゲート型電界効果トランジスタ、容量とインダクタンスとからなる入力内部整合回路および出力整合回路を有する高周波増幅回路を備えた半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、セルラなどの800MHz以上、2.5GHz以下のマイクロ波帯を使用する移動体通信装置に使用される半導体装置に係わり、特に、高周波信号を電力増幅して出力する高周波電力増幅器の増幅素子に適用して有効な技術に関する。

【0002】

【従来の技術】近年、GSM(Global System for Mobile Communications)方式、PCS(Personal Communication Systems)方式、PDC(Personal Digital Cellular)方式、W-CDMA(Code Division Multiple Access)方式といった通信方式に代表される移動体通信装置、いわゆる携帯電話が急速に世界的に普及していることから、その基地局システムの高性能化、小型化、高信頼化が重要な課題となっている。これら移動体通信

基地局システムの構成については、例えば「NEC技報」, vol. 51, No. 7 (1998), pp. 9-15に開示されている。

【0003】上記基地局システムの主要構成部の一つに、アンテナへ高周波信号を供給する送信用高周波電力増幅器がある。この増幅器に使用される増幅素子には、シリコン(Si)基板を使ったバイポーラトランジスタおよび絶縁ゲート型電界効果トランジスタ(以下、MOSFETという)、GaAsに代表される化合物半導体基板を使ったトランジスタがある。特に、シリコン基板を使ったMOSFETは、高耐圧化が容易であるために高出力化に有利、熱的に安定であるために信頼性が高い、電圧駆動であるために回路構成が簡単、といった利点があり、上記増幅素子の主流となっている。

【0004】上記増幅素子用MOSFETについては、例えばIEDM Technical Digest, 1996, pp. 87-90、およびMicrowave Workshop and Exhibition (MWE) Digest, 1999, pp. 289-294に述べられた第1の従来技術がある。これらの文献に記載されたMOSFETは、パンチスルー防止としきい値電圧制御とを目的としてゲート電極のソース側からp層を拡散させたLDMOS(Lateral Diffusion MOS)構造となっており、ゲート電極-ドレイン電極間には高耐圧化のためのオフセット構造が設けられている。また、ゲート電極を覆うようにソース電極を形成することでゲート電極-ドレイン間容量(Cgd; 帰還容量)の低減を図っている(ファラデー・シールドと称している)。

【0005】上記従来技術では、100W以上の高出力電力を得るために、MOSFETのゲート長=0.6μm、ゲート酸化膜厚=40nm、ゲート幅=100~400mm程度としている。このサイズのMOSFETでは入出力容量が数十~数百pFとなるために、動作周波数が2GHzにおける入出力インピーダンスが1Ω程度と小さくなる。この状態でパッケージに組み込み、外部整合回路で50Ωへのインピーダンス変換を試みると、変換比が大きいために伝送線路での損失や帯域低下につながる。従って、できるだけFETに近いパッケージ内にMOS容量チップとワイヤによるインダクタンスとからなる整合回路を構成することで、インピーダンスの向上を図っている(前記文献のうち、前者は入力整合のみ、後者は入出力整合)。

【0006】上記増幅素子用MOSFETのさらなる性能向上については、米国特許(Ng et al., United States Patent, No. 5,918,137)に述べられた第2の従来技術がある。この従来技術は、MOSFETの高周波性能と信頼性とを向上させるために、ゲート電極とドレイン電極との間の絶縁膜上にゲート電極と同一材料のシールド導電膜を設けている。

【0007】上記絶縁膜の少なくとも一部およびシールド導電膜は、それぞれMOSFETのゲート絶縁膜、ゲ

ート電極と同一工程で作られるためにプロセスが複雑にならない。また、ゲート電極とシールド導電膜との配置が自己整合となるために、電気的特性のばらつきも抑えられる。このMOSFET構造は、シールド導電膜をソースと同電位とすることで、ゲート電極ードレイン間容量(Cgd)を低減することができるので、高周波動作における電力利得の向上が可能となる。また、ゲート電極端部における基板表面の電界緩和が図られ、ドレイン耐圧の向上とホットエレクトロン注入による特性劣化の抑制が可能となる。

【0008】

【発明が解決しようとする課題】本発明者が検討したところによると、上記第1、第2従来技術にはそれぞれ次のような問題がある。

【0009】上記第1従来技術のMOSFET構造は、ゲート電極を覆うソース電極を厚い層間絶縁膜上に設けているために、ゲート電極の側壁とドレイン電極との間をシールドすることができず、かつ基板に対する電界緩和の効果も小さい。そのため、ゲート電極ードレイン間容量(Cgd)の低減、ドレイン耐圧の向上、ホットエレクトロンによる劣化の抑制のいずれの効果も十分に得られない。

【0010】また、上記第2従来技術のMOSFET構造は、ゲート電極とその直下のドレイン(またはドレイン電極)との静電容量(Cgd)の低減については考慮されているが、その他の配線間容量については考慮されていない。具体的には、シールド導電膜とゲート電極とが同一工程で作られるため、シールド導電膜の厚さはゲート電極の要求から決まり、シールド導電膜とゲート電極の側壁との間の容量(Cgs)を自由に小さくすることができない。

【0011】同様に、シールド導電膜の厚さで決まるドレイン電極ーシールド導電膜間容量(Cds)についても、ドレイン電極は、電流量の必要からシールド導電膜よりも厚くなっているため、自由にシールド導電膜を薄くして容量を小さくするということができない。また、シールド導電膜下の絶縁膜の厚さがゲート絶縁膜と同様に薄いために、シールド導電膜とドレインのオフセット層との静電容量が大きく見え、ドレインーソース間容量が増大してしまう。さらに、ゲート抵抗を低減することを目的として、ゲート電極上にゲート短絡用配線を設ける構造を用いた場合、シールド導電膜とゲート短絡配線との間の静電容量があるために、シールド導電膜がない場合に比べてゲート電極ーソース間容量が増大してしまう。

【0012】以上述べた容量は、全てMOSFETの入出力容量(Cgs、Cds)に加算される。これらは高周波動作におけるMOSFETの入出力インピーダンスを低下させるため、パッケージ内に整合回路を設けても、整合回路における損失が顕著となり、出力電力、効

率を低下させるという問題がある。また、インピーダンスの変換比も大きくなることから、周波数帯域、実装面積といったデザイン・マージンの上でも不利である。さらに、入力容量(Cgs)の増加は、MOSトランジスタの遮断周波数を低下させ、高周波電力利得を低下させるという問題がある。

【0013】一方、ゲート電極を多結晶シリコンとタンダステンシリサイドの二重構造(ポリサイド構造)にして抵抗を低減させ、ゲート短絡用配線を省略した場合には、前述のシールド導電膜間の寄生容量は低減できるものの、ゲート電極の抵抗が十分小さくないためにゲート電極の幅(フィンガ幅)に制限が生じ、MOSFETのレイアウトの自由度がなくなり、却って寄生抵抗や容量が増大してしまうという問題がある。

【0014】本発明の目的は、MOSFETの入出力容量の増大を最小とし、インピーダンス整合回路での損失を増やすことなく、シールド導電膜による帰還容量の低減、電界緩和によるドレイン耐圧および電流量の向上、ホットエレクトロン劣化の抑制を可能とする半導体装置を提供することにある。

【0015】本発明の他の目的は、MOSFETのゲート電極の抵抗を十分に低減させ、かつシールド導電膜の効果を引出し、高周波、大電力動作における出力電力、効率の向上と信頼性の確保が両立された半導体装置を提供することにある。

【0016】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0017】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0018】本発明のMOSFETは、ゲート絶縁膜の上部に形成されたゲート電極と、ソースと、前記ゲート電極と離間して配置されたドレインと、前記ゲート電極と前記ドレインとの間に形成されたドレイン・オフセット層と、前記ドレイン・オフセット層の上部に形成され、前記ソースと電気的に接続されたシールド導電膜とからなり、前記シールド導電膜の膜厚を前記ゲート電極の膜厚よりも薄くしたものである。

【0019】また、本発明のMOSFETは、前記ドレイン・オフセット層とその上部に形成された前記シールド導電膜との間に、ゲート絶縁膜と第1絶縁膜とが介在しているものである。

【0020】また、本発明のMOSFETは、その平面レイアウトの少なくとも一部分において、前記ドレイン電極、前記シールド導電膜、前記ゲート電極、前記ソース電極および前記ゲート短絡配線をこの順番で配置したものである。

【0021】MOSFETのゲート電極とドレイン電極

の間にシールド導電膜を設けることは、ゲート電極ードレイン・オフセット層間の容量を低減するように働き、また、ゲート電極端部におけるドレインの電界を緩和するように働く。

【0022】また、シールド導電膜がゲート電極と平面パターンで重ならないように配置し、ゲート電極の厚さよりもシールド導電膜の厚さを薄くすることは、シールド導電膜を配置することにより生じる電極間容量の増大を最小限に抑えるように働く。

【0023】また、シールド導電膜下の絶縁膜の厚さをゲート絶縁膜の厚さよりも厚くすることは、シールド導電膜ードレイン・オフセット層間容量を最小限に抑えるように働く。

【0024】また、ゲート電極を配線（ゲート短絡配線）で短絡することは、ゲート抵抗を低減して高周波における電力利得の低下を抑えるように働く。

【0025】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0026】図1は、本実施形態の高周波用パワーMOSFETが形成されたセル部の一部（MOSFET4個分の領域）を示す平面図、図2は、図1のII-II線に沿ったMOSFET1個分の領域の断面図、図3は、チップの全体レイアウト図である。

【0027】本実施形態のMOSFETは、比抵抗 $10\text{ m}\Omega\text{ cm}$ 以下の低抵抗p型単結晶シリコンからなる支持基板1Aとその上部に形成された比抵抗 $30\text{ }\Omega\text{ cm}$ 、厚さ $10\text{ }\mu\text{m}$ の高抵抗p型エピタキシャル層1Bとからなるシリコン基板1の主面に形成されている。このMOSFETは、エピタキシャル層1Bの表面に形成されたゲート酸化膜4、ゲート酸化膜4の上部に形成されたn型多結晶シリコン膜とWシリサイド（WSi₂）膜との積層膜（ポリサイド膜）からなるゲート電極3、エピタキシャル層2に形成されたn型半導体領域（ソース）5、p⁺型半導体領域（ソース打抜き層）6、p型半導体領域（パンチスルーストップ層）7、n型半導体領域（ドレイン・オフセット層）8、n型半導体領域（ドレイン）9、n型半導体領域（ドレイン・オフセット層）8の上部に形成されたシールド導電膜10およびその下部の酸化シリコン膜11を備えている。

【0028】特に限定はされないが、上記MOSFETのゲート電極3の長さ（ゲート長）は $0.5\text{ }\mu\text{m}$ 、n型半導体領域（ドレイン・オフセット層）8の長さ（ドレイン・オフセット長）は $3.0\text{ }\mu\text{m}$ 、シールド導電膜10の長さは $1.0\text{ }\mu\text{m}$ 、ゲート電極3とシールド導電膜10との間隔は $0.5\text{ }\mu\text{m}$ である。また、ゲート電極3の厚さは 270 nm 、シールド導電膜10の厚さは 200 nm 、ゲート酸化膜4の厚さは 50 nm 、酸化シリコ

ン膜11の厚さは 300 nm である。

【0029】上記MOSFETの上部には、酸化シリコン膜12を介して第1層目の配線13～16が形成されている。配線13はソース電極を構成し、酸化シリコン膜12に開孔されたコンタクトホール17を通じてn型半導体領域（ソース）5およびp⁺型半導体領域（ソース打抜き層）6と電気的に接続されている。この配線13は、アクティブ領域Lを囲むフィールド酸化膜2の上部の酸化シリコン膜12に開孔されたコンタクトホール18を通じてシールド導電膜10と電気的に接続されている。

【0030】配線14はゲート短絡用配線を構成し、フィールド酸化膜2の上部の酸化シリコン膜12に開孔されたコンタクトホール19を通じてゲート電極3と電気的に接続されている。配線15はドレイン電極を構成し、酸化シリコン膜12に開孔されたコンタクトホール20を通じてn型半導体領域（ドレイン）9と電気的に接続されている。

【0031】上記配線13～16の上部には酸化シリコン膜からなる層間絶縁膜22を介して第2層目の配線23～25が形成されている。なお、図1および図3では、これらの配線23～25を網掛けパターンで示している。配線23はドレイン取り出し用配線を構成し、層間絶縁膜22に開孔されたスルーホール26を通じて第1層目の配線（ドレイン電極）15と電気的に接続されている。この配線23は、外部接続端子を構成するドレイン用ボンディングパッドBpdと一体に構成されている。

【0032】配線24はゲート取り出し用配線を構成し、フィールド酸化膜2の上部の層間絶縁膜22に開孔されたスルーホール27を通じて第1層目の配線（ゲート短絡用配線）14と電気的に接続されている。この配線24は、外部接続端子を構成するゲート用ボンディングパッドBpgと一体に構成されている。

【0033】配線25はソース取り出し用配線を構成し、その一部は、層間絶縁膜22に開孔されたスルーホール28を通じて第1層目の配線（ソース電極）13と電気的に接続されている。配線25の他の一部は、層間絶縁膜22に開孔されたスルーホール29を通じて第1層目の配線16と電気的に接続されている。また、配線16は、コンタクトホール21およびp⁺型半導体領域（ソース打抜き層）6を通じてシリコン基板1と電気的に接続され、さらにシリコン基板1の裏面のソース電極30と電気的に接続されている。

【0034】なお、図3では簡略化のためにゲート電極3の数を4本としているが、実際には1個のボンディングパッドBpgに数十本のゲート電極3が接続されて1ブロックを構成し、数ブロックが並列に接続されて大電力を出力するようになっている。

【0035】このように、本実施形態の高周波用パワー

MOSFETは、n型半導体領域（ドレイン・オフセット層）8の上部にソースと同電位のシールド導電膜10を設け、このシールド導電膜10と他の電極配線とを、ドレイン電極15、シールド導電膜10、ゲート電極3、ソース電極13、ゲート短絡用配線14の順序で配置している。

【0036】次に、ゲート電極3の近傍にシールド導電膜10を形成した効果について、図4～図6を用いて説明する。

【0037】図4は、本実施形態のMOSFETのドレイン電極（15）に60Vの電圧を印加し、ゲート電極（3）、シールド導電膜（10）、ソース電極（13）を接地とした場合のシリコン基板（1）表面の電界強度分布を示すグラフである。横軸の横方向位置は、グラフの上部の断面図に対応している。また、比較例として、シールド導電膜がなく、ゲート電極を覆うようにソース電極を形成したMOSFET構造（前記第1の従来技術）の電界強度分布を示した。

【0038】図示のように、シールド導電膜がない場合は、ゲート電極の端部に電界が集中し、そこで電界強度が最大となっているが、シールド導電膜を設けることにより、そのドレイン側端部にも電界強度のピークが現れ、シールド導電膜のない場合に比べて強度の最大値が低くなっていることが分かる。このことから、本実施形態のMOSFETは、ドレイン耐圧およびドレイン電流を向上させるのに有効であり、かつホットキャリアによる特性劣化を抑制する対策としても有効であると考えられる。

【0039】図5は、ドレイン・オフセット層（8）のイオン打込み量とドレイン耐圧との関係を示すグラフである。

【0040】MOSFETを高性能化するためには、ドレイン・オフセット層のイオン打込み量を多くしても、ドレイン耐圧が確保されるようにすることである。すなわち高いドレイン耐圧を確保しながら、MOSFETのオン抵抗（ R_{on} ）の低減とドレイン電流容量の向上とを可能とすることである。

【0041】図示のように、シールド導電膜を設けた場合には、ドレイン・オフセット層のイオン打込み量を2倍程度多くしても、シールド導電膜がない場合と同等のドレイン耐圧が得られた。これにより、オン抵抗（ R_{on} ）成分の一部であるドレイン・オフセット層の抵抗（ R_{offset} ）が半減し、シールド導電膜がない場合には26ΩmmあったMOSFETのオン抵抗（ R_{on} ）が16Ωmmへと4割程度小さくなった。

【0042】図6は、ドレイン・ソース間に28Vの電圧、ゲート・ソース間に数Vのゲート電圧をそれぞれ印加してドレイン電流を流し、長時間放置した時に、一定のドレイン電流を得るためのゲート電圧の変動量と電圧印加時間との関係を示したグラフである。このゲート電

圧の変化は、ドレイン電流が流れることによって発生するホット・エレクトロンがゲート電極とドレイン・オフセット層近傍の酸化膜とに注入されて固定電位を発生させるために起こる。このホット・エレクトロンの注入を抑制するには、注入部の電界を緩和することが必要となる。

【0043】図示のように、シールド導電膜がない場合は、1時間放置後のゲート電圧変動量が約0.1Vであったが、シールド導電膜を設けることにより、同じ時間の変動量を10分の1以下まで低減することができた。これは、前記図4の電界強度分布グラフでも示したように、シールド導電膜を設けることによって、ゲート電極端部の電界強度が緩和されることに起因している。

【0044】次に、本実施形態のMOSFETの高周波動作について、図7～図9を用いて説明する。

【0045】図7は、本実施形態のMOSFETを使った高周波電力増幅器のパッケージ内等価回路図である。この増幅器は、ゲート幅150mmのFETの入出力にMOS容量とボンディング・ワイヤ（インダクタンス）とからなる入力内部整合回路および出力整合回路を接続したものである。ここで、MOSFETの入力容量（ C_{gs} ）は112pF、出力容量（ C_{ds} ）は42pF、帰還容量（ C_{gd} ）は1.6pF、オン抵抗は0.13Ωである。動作周波数が2.2GHzの場合、 $1/\omega C$ から得られるMOSFETの入出力インピーダンスは、入力が0.71Ω、出力が1.7Ωとなる。この値から、整合回路によりインピーダンスを変換してパッケージ端子から見たインピーダンスを大きくし、外部の実装基板に組み込まれる。

【0046】図8は、図7で用いたMOSFETにおける高周波、大電力動作の入出力特性を示すグラフである。ここでは、W-CDMA方式の基地局用増幅器への応用を前提として、電源電圧28V、バイアス電流一定において、2.2GHzの正弦波信号をMOSFETに入力した場合の入力電力に対する出力電力およびドレイン効率の関係を示した。MOSFETを2個使用し、プッシュ・プル動作により出力電力を得ている。また、比較例として、従来構造A、Bの入出力特性を示した。ここで、従来構造Aは、シールド導電膜を有しているが、その厚さや位置、ゲート短絡配線の位置など入出力容量の増加についての配慮を行っていないMOSFET構造、従来構造Bは、シールド導電膜がなく、ゲート電極を覆うようにソース電極を形成したMOSFET構造である。

【0047】図示のように、本実施形態のMOSFETは、従来構造A、Bと比較して、入力電力10Wにおける出力電力が10W以上、ドレイン効率が5%以上向上している。この理由は、従来構造Aについては、入出力容量が本実施形態に比べて20%程度大きくなるため、その分インピーダンスが小さくなり、パッケージ内の整

合回路における損失が顕著となったためである。また、従来構造Bについては、シールド導電膜を用いていないために、電界を緩和する必要からドレイン・オフセット層の不純物濃度を高くできず、オン抵抗、ドレイン電流の向上が図れないために性能が向上していない。また、従来構造Bはゲート短絡配線ができないため、ゲート抵抗が気にならないようにゲート電極1本のゲート幅（フィンガ幅）を短くしている。この場合、ゲート抵抗は低減するが、チップ全体としてのフィンガの本数が増えるため、他の寄生容量が増加し、これも性能低下の原因となっている。これに対して、本実施形態のレイアウトでは、ゲート短絡配線をドレイン、ソース電極およびシールド導電膜から十分に離すことができるため、寄生容量を抑えてゲート抵抗を低減することが可能となり、高周波での利得を十分に確保することができる。

【0048】図8の大電力動作試験において、本実施形態のMOSFETの線形増幅特性評価を行った結果について、図9を用いて説明する。

【0049】W-CDMA方式の基地局用途には、大きな出力電力で増幅器の線形性が保たれることが要求される。この線形増幅特性の良否の目安として、周波数間隔の狭い2波を入力し、その出力信号の周波数スペクトラムの広がり起因するパラメータである相互変調歪みを評価した。ここでは、MOSFETの入力として、周波数2.2GHzおよび2.201GHzの周波数の入力電力を加えた場合の3次相互変調歪みと出力電力との関係を示した。パラメータとして、シールド導電膜下の絶縁膜の厚さを500nm、300nm、50nmとした。3次相互変調歪みの目標仕様を-30dBc以下とすると、その条件を達成する出力電力の最大値は、絶縁膜厚さが500nmと300nmとでは46dBm（約40W）、50nmでは45dBm（約32W）に低下している。これは、シールド導電膜下の絶縁膜の厚さをゲート酸化膜と同等の50nmまで薄くしたために、シールド導電膜-ドレイン・オフセット層間の静電容量がドレイン電圧が低い場合に急激に大きく見え、寄生の出力容量が付いたことになり、整合回路とのマッチングが大きすぎるために歪みも悪化したためである。またこの厚さでは、シールド導電膜端部での電界集中があり、得られるドレイン耐圧が低くなるという問題もある。一方、300nmと500nmとでは大差がないが、500nmとした場合は、絶縁膜の厚さが厚すぎるために、図4～図6で説明した特徴を十分に引出すことができず、300nm付近で最適となった。

【0050】次に、図10～図18を用いて本実施形態のMOSFETの製造方法を説明する。

【0051】まず、図10に示すように、p型単結晶シリコンからなる支持基板1Aの上部にp型エピタキシャル層1Bを成長させたシリコン基板1を用意し、フォトリソグラフ膜（図示せず）をマスクにしてシリコン基板1

にホウ素をイオン打込みすることにより、その底部が支持基板1Aに達するp⁺型半導体領域（ソース打抜き層）6を形成する。

【0052】次に、図11に示すように、周知のLOCOS法を用いてシリコン基板1の素子分離領域にフィールド酸化膜2を形成した後、このフィールド酸化膜2によって周囲を囲まれたアクティブ領域Lのシリコン基板1の表面にゲート酸化膜4を形成する。

【0053】次に、図12に示すように、ゲート酸化膜4の上部にゲート電極3を形成する。ゲート電極3を形成するには、ゲート酸化膜4の上部にCVD法で膜厚100nmのn型多結晶シリコン膜を堆積し、続いてこの多結晶シリコン膜の上部にスパッタリング法で膜厚170nmのWシリサイド膜を堆積した後、フォトリソグラフ膜をマスクにしたドライエッチングでこれらの膜をパターンニングする。

【0054】次に、図13に示すように、フォトリソグラフ膜をマスクにしてシリコン基板1にホウ素およびリンをイオン打込みすることにより、p型半導体領域（パンチスルーストップ層）7、n型半導体領域（ドレイン・オフセット層）8、n型半導体領域（ソース）5およびn型半導体領域（ドレイン）9を形成する。p型半導体領域（パンチスルーストップ層）7は、ゲート電極3を形成する工程に先立って形成しておいてもよい。

【0055】次に、図14に示すように、シリコン基板1上にCVD法で膜厚300nm程度の酸化シリコン膜11を堆積した後、酸化シリコン膜11の上部にシールド導電膜10を形成する。シールド導電膜10を形成するには、酸化シリコン膜11の上部にCVD法でゲート電極3よりも薄い膜厚（例えば200nm程度）のn型多結晶シリコン膜をした後、フォトリソグラフ膜をマスクにしたドライエッチングでこの多結晶シリコン膜をパターンニングする。

【0056】次に、図15および図16に示すように、シリコン基板1上にCVD法で膜厚300nm～500nm程度の酸化シリコン膜12を堆積した後、フォトリソグラフ膜をマスクにして酸化シリコン膜12および酸化シリコン膜11をドライエッチングすることにより、コンタクトホール17～20を形成する。

【0057】次に、図17および図18に示すように、酸化シリコン膜12の上部にスパッタリング法で膜厚800nm程度のAl（アルミニウム）合金膜を堆積した後、フォトリソグラフ膜をマスクにしたドライエッチングでこのAl合金膜をパターンニングすることにより、配線（ソース電極）13、配線（ゲート短絡用配線）14、配線（ドレイン電極）15を形成する。

【0058】その後、酸化シリコン膜12の上部に層間絶縁膜22を形成し、続いて層間絶縁膜22をドライエッチングでスルーホール（26～29）を形成した後、層間絶縁膜22の上部にスパッタリング法で堆積した膜

厚1200nm程度のAl合金膜をパターニングして第2層目の配線(23~25)を形成し、さらにシリコン基板1の裏面にソース電極30を形成することにより、前記図1~図3に示すパワーMOSFETが得られる。なお、配線の電流容量やレイアウトの自由度を必要とする場合には、配線層の数を3層以上とすることもできる。

【0059】このように、本実施形態のパワーMOSFETは、ドレイン・オフセット層8の上部のシールド導電膜10をゲート電極3よりも薄い膜厚で形成する。これにより、図19に示すように、シールド導電膜10の側壁とゲート電極3の側壁との間の容量(Cgs)およびシールド導電膜10の側壁とドレイン電極15との間の容量(Cds)を小さくすることができる。

【0060】また、シールド導電膜10とドレイン・オフセット層8との間を2層の絶縁膜(ゲート酸化膜4および酸化シリコン膜11)で隔てるので、ゲート酸化膜4上にシールド導電膜10を形成した場合に比べ、ドレイン-ソース間容量も小さくなる。

【0061】これにより、MOSFETの入出力容量(Cgs、Cds)を小さくすることができるので、高出力電力が可能で高周波特性が良好なMOSFETを実現することができる。

【0062】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0063】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0064】本発明によれば、GSM、PCS、PDC、W-CDMA方式などの携帯電話基地局システムに使用される電力増幅用MOSFETの信頼性を確保しつつ、出力電力特性および高周波特性を向上させることが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施の形態であるパワーMOSFETが形成されたセル部の一部を示す平面図である。

【図2】図1のII-II線に沿った断面図である。

【図3】本発明の一実施の形態であるパワーMOSFETが形成されたチップの全体レイアウト図である。

【図4】本発明の一実施の形態であるパワーMOSFETの電界強度分布を示すグラフである。

【図5】本発明の一実施の形態であるパワーMOSFETにおけるドレイン・オフセット層のイオン打込み量とドレイン耐圧との関係を示すグラフである。

【図6】本発明の一実施の形態であるパワーMOSFETにおけるゲート電圧の変動量と電圧印加時間との関係

を示すグラフである。

【図7】本発明の一実施の形態であるパワーMOSFETを使用した増幅器のパッケージ内等価回路図である。

【図8】本発明の一実施の形態であるパワーMOSFETにおける高周波、大電力動作の入出力特性を示すグラフである。

【図9】本発明の一実施の形態であるパワーMOSFETにおける3次相互変調歪みと出力電力との関係を示すグラフである。

10 【図10】本発明の一実施の形態であるパワーMOSFETの製造方法を示す要部断面図である。

【図11】本発明の一実施の形態であるパワーMOSFETの製造方法を示す要部断面図である。

【図12】本発明の一実施の形態であるパワーMOSFETの製造方法を示す要部断面図である。

【図13】本発明の一実施の形態であるパワーMOSFETの製造方法を示す要部断面図である。

【図14】本発明の一実施の形態であるパワーMOSFETの製造方法を示す要部断面図である。

20 【図15】本発明の一実施の形態であるパワーMOSFETの製造方法を示す要部断面図である。

【図16】本発明の一実施の形態であるパワーMOSFETの製造方法を示す要部平面図である。

【図17】本発明の一実施の形態であるパワーMOSFETの製造方法を示す要部断面図である。

【図18】本発明の一実施の形態であるパワーMOSFETの製造方法を示す要部平面図である。

【図19】本発明の一実施の形態であるパワーMOSFETにおけるシールド導電膜-ゲート電極間容量およびシールド導電膜-ドレイン電極間容量の説明図である。

【符号の説明】

1 シリコン基板

1A 支持基板

1B エピタキシャル層

2 フィールド酸化膜

3 ゲート電極

4 ゲート酸化膜

5 n型半導体領域(ソース)

6 p⁺型半導体領域(ソース打抜き層)

40 7 p型半導体領域(パンチスルーストップ層)

8 n型半導体領域(ドレイン・オフセット層)

9 n型半導体領域(ドレイン)

10 シールド導電膜

11 酸化シリコン膜

12 酸化シリコン膜

13 配線(ソース電極)

14 配線(ゲート短絡用配線)

15 配線(ドレイン電極)

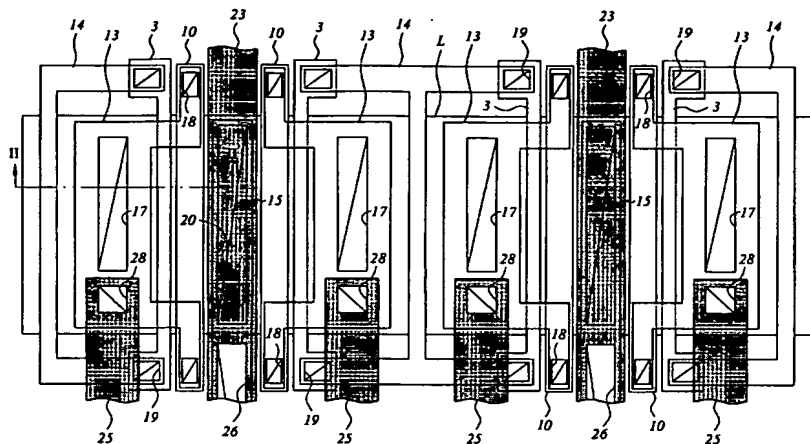
16 配線

50 17~21 コンタクトホール

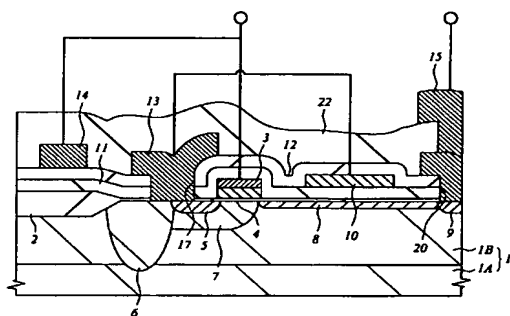
16

- 30 ソース電極
BPd ドレイン用ボンディングパッド
BPg ゲート用ボンディングパッド
L アクティブ領域

1



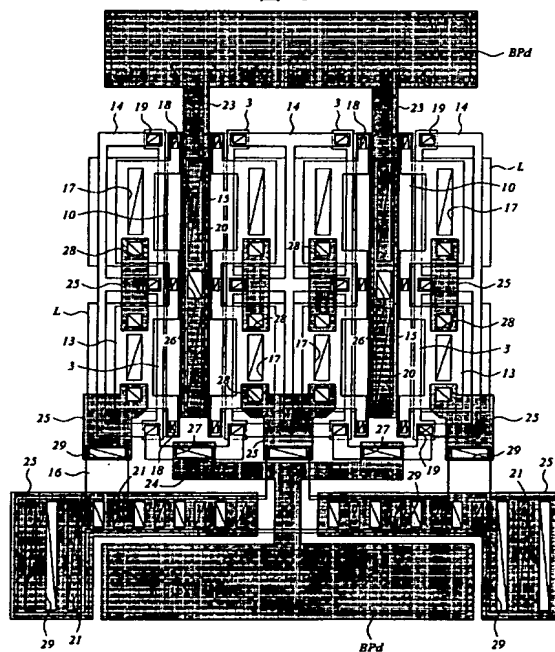
2



10

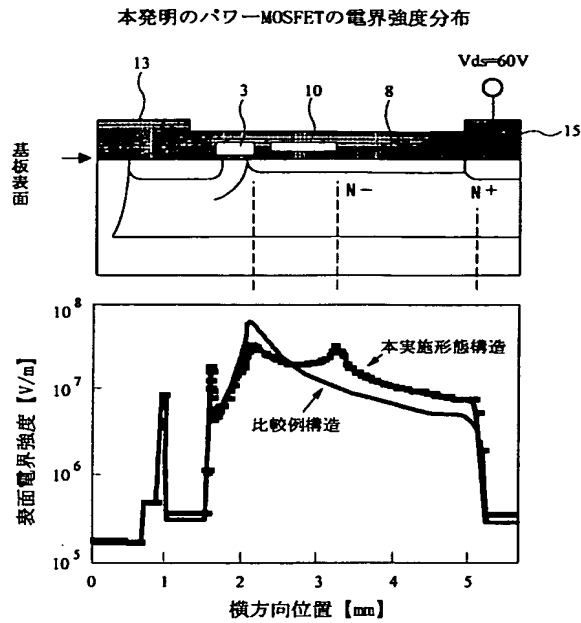


3



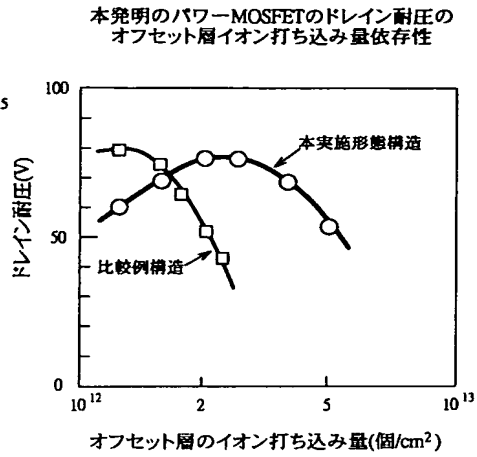
【図4】

図 4



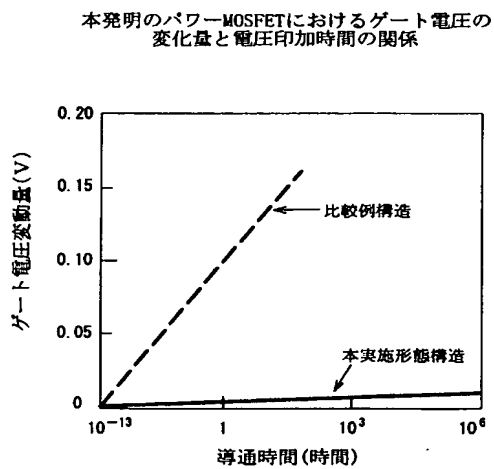
【図5】

図 5



【図6】

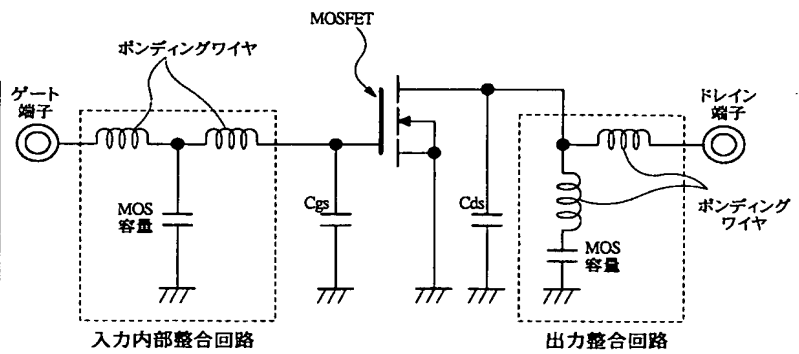
図 6



【図7】

図 7

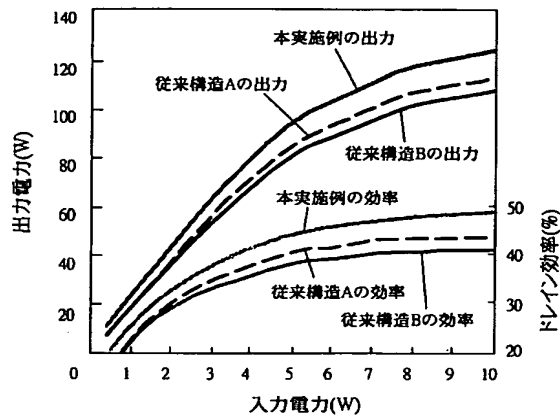
本発明のパワーMOSFETのパッケージ内等価回路



【図8】

図 8

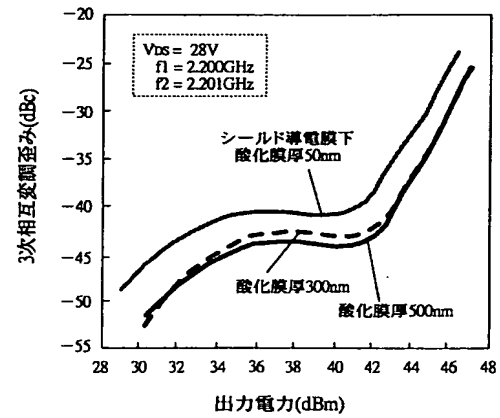
本発明のパワーMOSFETの高周波、大電力動作の入出力特性



【図9】

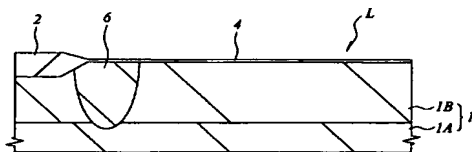
図 9

本発明のパワーMOSFETにおける3次相互変調歪みと出力電力の関係



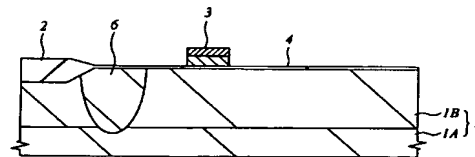
【図11】

図 11



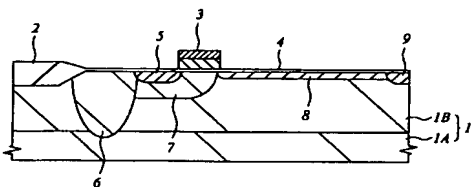
【図12】

図 12



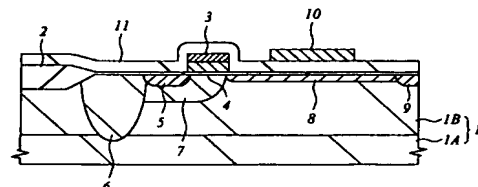
【図13】

図 13



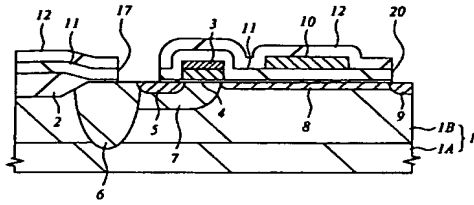
【図14】

図 14



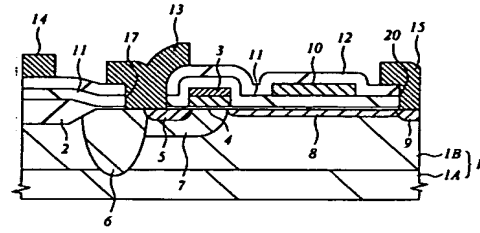
【図15】

図 15



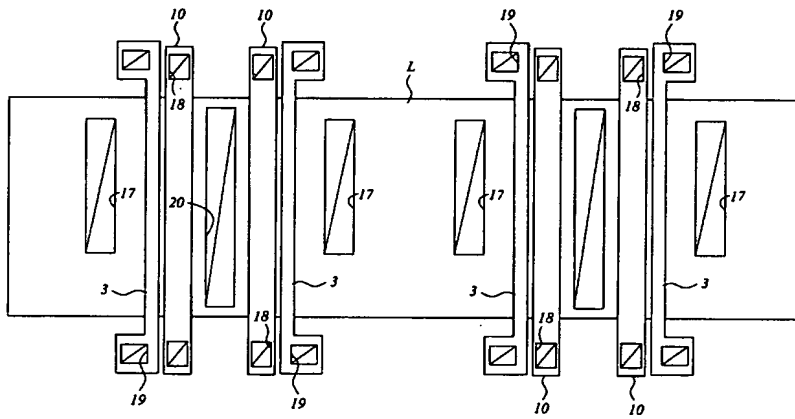
【図17】

図 17



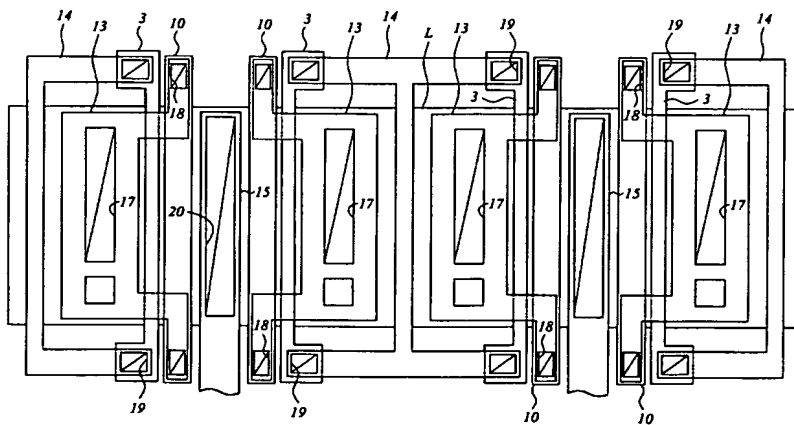
【図16】

図 16

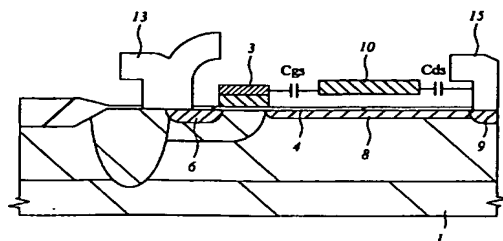


【図18】

図 18



19



(51) Int. Cl. ⁷

識別記号

F I
H O I L 29/44
29/78

テマコート* (参考)

			B
			E
3	0	1	D
6	5	8	F

(72) 発明者 吉田 功
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

(72) 発明者 那倉 健一
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

F ターム (参考)	4M104	AA01	BB01	BB02	DD08	DD16
		DD26	DD37	DD43	DD65	FF01
		FF13	FF14	FF31	GG09	HH16
	5F040	DA12	DA17	DB01	DC01	EB01
		EC01	EC07	EC13	EF18	EH02
		EH05	EJ03	EJ07	EK01	EM07
	5F048	AA00	AA05	AA07	AB06	AB07
		AB10	AC06	BA02	BA06	BB06
		BB08	BB12	BC03	BC06	BC12
		BD04	BF02	BF16	BG12	

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第2区分
 【発行日】平成17年3月17日(2005.3.17)

【公開番号】特開2002-94054(P2002-94054A)
 【公開日】平成14年3月29日(2002.3.29)
 【出願番号】特願2000-283168(P2000-283168)
 【国際特許分類第7版】

H O 1 L 29/78
 H O 1 L 21/8234
 H O 1 L 27/088
 H O 1 L 29/41
 H O 1 L 21/336

【F I】

H O 1 L 29/78 3 0 1 W
 H O 1 L 29/78 6 5 2 A
 H O 1 L 29/78 6 5 2 N
 H O 1 L 27/08 1 0 2 A
 H O 1 L 27/08 1 0 2 B
 H O 1 L 29/44 B
 H O 1 L 29/44 E
 H O 1 L 29/78 3 0 1 D
 H O 1 L 29/78 6 5 8 F

【手続補正書】
 【提出日】平成16年4月21日(2004.4.21)
 【手続補正1】
 【補正対象書類名】明細書
 【補正対象項目名】発明の名称
 【補正方法】変更
 【補正の内容】
 【発明の名称】半導体装置
 【手続補正2】
 【補正対象書類名】明細書
 【補正対象項目名】特許請求の範囲
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項1】

第1導電型の半導体基板の主面に絶縁ゲート型電界効果トランジスタが形成された半導体装置であって、前記絶縁ゲート型電界効果トランジスタは、ゲート絶縁膜の上部に形成された第1導電膜からなるゲート電極と、前記半導体基板に形成された第2導電型の半導体領域からなるソースと、前記半導体基板に形成され、前記ゲート電極と離間して配置された第2導電型の半導体領域からなるドレインと、前記ゲート電極と前記ドレインとの間の領域の前記半導体基板に形成された第2導電型の半導体領域からなるドレイン・オフセット層と、前記ドレイン・オフセット層の上部に形成され、前記ソースと電氣的に接続された第2導電膜からなるシールド導電膜と、前記ゲート電極と電氣的に接続された第1金属膜からなるゲート短絡用配線と、前記ソースと電氣的に接続された第1金属膜からなるソース電極と、前記ドレインと電氣的に接続された第1金属膜からなるドレイン電極とからなり、前記絶縁ゲート型電界効果トランジスタの平面レイアウトの少なくとも一部分にお

いて、前記ドレイン電極、前記シールド導電膜、前記ゲート電極、前記ソース電極および前記ゲート短絡用配線がこの順番で配置されていることを特徴とする半導体装置。

【請求項 2】

請求項 1 記載の半導体装置において、前記シールド導電膜を構成する前記第 2 導電膜の膜厚は、前記ゲート電極を構成する前記第 1 導電膜の膜厚よりも薄いことを特徴とする半導体装置。

【請求項 3】

請求項 1 記載の半導体装置において、前記ドレイン・オフセット層とその上部に形成された前記シールド導電膜との間には、前記ゲート絶縁膜とその上部に形成された第 1 絶縁膜とが介在していることを特徴とする半導体装置。

【請求項 4】

請求項 1 記載の半導体装置において、前記絶縁ゲート型電界効果トランジスタは、動作周波数が 800 MHz ~ 2.5 GHz の高周波電力増幅器の増幅素子を構成することを特徴とする半導体装置。

【請求項 5】

請求項 1 記載の絶縁ゲート型電界効果トランジスタ、容量とインダクタンスとからなる入力内部整合回路および出力整合回路を有する高周波増幅回路を備えた半導体装置。

【請求項 6】

第 1 導電型の半導体基板の主面に絶縁ゲート型電界効果トランジスタが形成された半導体装置であって、前記絶縁ゲート型電界効果トランジスタは、ゲート絶縁膜の上部に形成された第 1 導電膜からなるゲート電極と、前記半導体基板に形成された第 2 導電型の半導体領域からなるソースと、前記半導体基板に形成され、前記ゲート電極と離間して配置された第 2 導電型の半導体領域からなるドレインと、前記ゲート電極と前記ドレインとの間の領域の前記半導体基板に形成された第 2 導電型の半導体領域からなるドレイン・オフセット層と、前記ドレイン・オフセット層の上部に形成され、前記ソースと電氣的に接続された第 2 導電膜からなるシールド導電膜とからなり、
前記ドレイン・オフセット層とその上部に形成された前記シールド導電膜との間には、前記ゲート絶縁膜とその上部に形成された第 1 絶縁膜とが介在し、
前記ソースおよび前記ドレインには、前記シールド導電膜を覆う第 2 絶縁膜上に形成された第 1 金属膜からなるソース電極およびドレイン電極がそれぞれ電氣的に接続され、
前記ソース電極と前記シールド導電膜とは、前記第 2 絶縁膜に形成された第 1 接続孔を通じて互いに電氣的に接続され、
前記シールド導電膜を構成する前記第 2 導電膜の膜厚は、前記ゲート電極を構成する前記第 1 導電膜の膜厚よりも薄いことを特徴とする半導体装置。

【請求項 7】

請求項 6 記載の半導体装置において、前記シールド導電膜を構成する前記第 2 導電膜の膜厚は、前記ドレイン電極を構成する前記第 1 金属膜の膜厚よりも薄いことを特徴とする半導体装置。

【請求項 8】

請求項 6 記載の半導体装置において、前記半導体基板は、第 1 導電型の単結晶シリコンからなる支持基板とその上部に形成された第 1 導電型のシリコンエピタキシャル層からなることを特徴とする半導体装置。

【請求項 9】

請求項 8 記載の半導体装置において、前記シリコンエピタキシャル層に形成され、前記ソースおよび前記支持基板と電氣的に接続された第 1 導電型の半導体領域からなるソース打ち抜き層と、前記支持基板の裏面に形成されたソース電極とをさらに有することを特徴とする半導体装置。

【請求項 10】

請求項 6 記載の絶縁ゲート型電界効果トランジスタ、容量とインダクタンスとからなる入力内部整合回路および出力整合回路を有する高周波増幅回路を備えた半導体装置。

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ ~~FADED TEXT OR DRAWING~~
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ ~~LINES OR MARKS ON ORIGINAL DOCUMENT~~
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.